

# PATENT ABSTRACTS OF JAPAN

(11)Publication number : 2000-235424

(43)Date of publication of application : 29.08.2000

(51)Int.Cl.

G05F 3/28  
G05F 1/573  
H03K 17/08

(21)Application number : 11-035067

(71)Applicant : YAZAKI CORP

(22)Date of filing : 12.02.1999

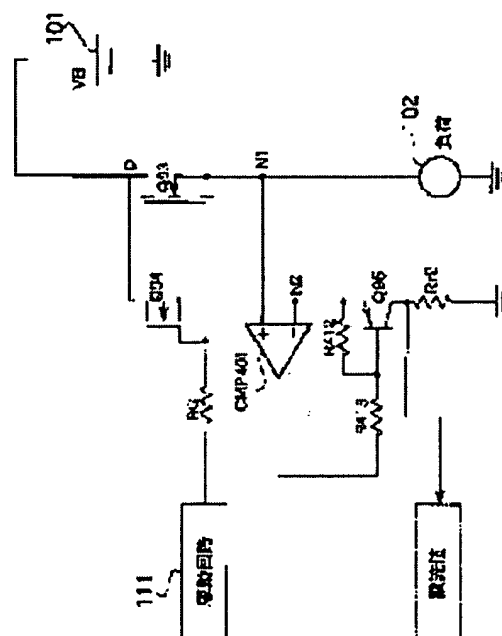
(72)Inventor : OSHIMA SHUNZO

## (54) CURRENT MIRROR CIRCUIT AND CURRENT SENSOR AND SWITCHING CIRCUIT AND SWITCHING DEVICE EQUIPPED WITH THEM

### (57)Abstract:

**PROBLEM TO BE SOLVED:** To provide a current sensor with high current detecting precision which can be loaded on a switching device capable of a quick response at the time of the generation of incomplete short-circuit.

**SOLUTION:** This current sensor is provided with a first semiconductor element Q93 having first and second main electrodes and a control electrode, a second semiconductor element Q94 having a first main electrode and a control electrode connected with the first main electrode and control electrode of the first semiconductor element Q93 and a second main electrode, a comparator CMP401 whose first input terminal is connected with the second main electrode of the first semiconductor element Q93, and whose second input terminal is connected with the second main electrode of the second semiconductor element Q94, and a third semiconductor element Q95 whose first main electrode is connected with the second input terminal of the comparator CMP401, whose control electrode is connected with the output terminal of the comparator CMP401, and whose second main electrode is connected with a reference resistance Rr2. Then, currents flowing through the first semiconductor element Q93 can be detected by detecting currents flowing through the reference resistance Rr2.



## LEGAL STATUS

[Date of request for examination]

[Date of sending the examiner's decision of rejection]

[Kind of final disposal of application other than the examiner's decision of rejection or application converted registration]

[Date of final disposal for application]  
[Patent number]  
[Date of registration]  
[Number of appeal against examiner's decision of rejection]  
[Date of requesting appeal against examiner's decision of rejection]  
[Date of extinction of right]

(19) 日本国特許庁 (J P)

(12) 公開特許公報 (A)

(11) 特許出願公開番号  
特開2000-235424  
(P2000-235424A)

(43) 公開日 平成12年 8 月29日 (2000. 8. 29)

(51) Int.Cl. <sup>7</sup>	識別記号	F I	テームト* (参考)
G 0 5 F 3/28		G 0 5 F 3/28	5 H 4 2 0
1/573		1/573	5 J 0 5 5
H 0 3 K 17/08		H 0 3 K 17/08	C

審査請求 未請求 請求項の数5 O L (全 16 頁)

(21) 出願番号 特願平11-35067

(22) 出願日 平成11年 2 月12日 (1999. 2. 12)

(71) 出願人 000006895

矢崎総業株式会社

東京都港区三田 1 丁目 4 番28号

(72) 発明者 大島 俊蔵

静岡県湖西市鷺津2464-48 矢崎部品株式  
会社内

(74) 代理人 100083806

弁理士 三好 秀和 (外 8 名)

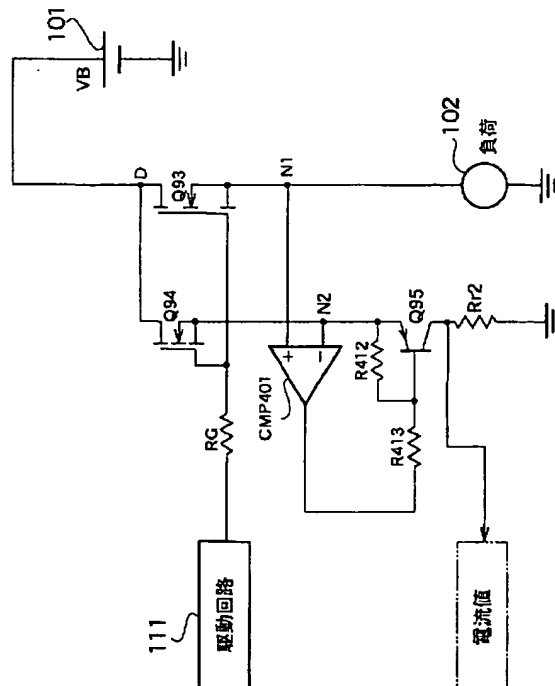
最終頁に続く

(54) 【発明の名称】 カレントミラー回路、電流センサ及びこれを具備したスイッチング回路並びにスイッチングデバイス

(57) 【要約】

【課題】 不完全短絡発生時の高速応答可能なスイッチングデバイスに搭載可能で、電流検出精度の高い電流センサを提供する。

【解決手段】 第1、第2の主電極及び制御電極とを有する第1の半導体素子Q93と、第1の半導体素子Q93の第1の主電極、制御電極にそれぞれ接続された第1の主電極、制御電極と、第2の主電極とを有する第2の半導体素子Q94と、第1の半導体素子Q93の第2の主電極に第1の入力端子を接続し、第2の半導体素子Q94の第2の主電極に第2の入力端子を接続した比較器CMP401と、比較器CMP401の第2の入力端子に第1の主電極、比較器CMP401の出力端子に制御電極、第2の主電極に基準抵抗Rr2を接続した第3の半導体素子Q95とからなり、第1の半導体素子Q93中を流れる電流を、基準抵抗Rr2を流れる電流を検出することにより検出する電流センサである。



## 【特許請求の範囲】

【請求項 1】 第 1、第 2 の主電極及び制御電極とを有する第 1 の半導体素子と、

前記第 1 の半導体素子の第 1 の主電極、制御電極にそれぞれ接続された第 1 の主電極、制御電極と、第 2 の主電極とを有する第 2 の半導体素子と、

前記第 1 の半導体素子の第 2 の主電極に第 1 の入力端子を接続し、前記第 2 の半導体素子の第 2 の主電極に第 2 の入力端子を接続した比較器と、

前記比較器の第 2 の入力端子に第 1 の主電極、前記比較器の出力端子に制御電極、第 2 の主電極に基準抵抗を接続した第 3 の半導体素子とからなるカレントミラー回路。

【請求項 2】 第 1、第 2 の主電極及び制御電極とを有する第 1 の半導体素子と、

前記第 1 の半導体素子の第 1 の主電極、制御電極にそれぞれ接続された第 1 の主電極、制御電極と、第 2 の主電極とを有する第 2 の半導体素子と、

前記第 1 及び第 2 の半導体素子のそれぞれの制御電極に電圧を供給する駆動回路と、

前記第 1 の半導体素子の第 2 の主電極に第 1 の入力端子を接続し、前記第 2 の半導体素子の第 2 の主電極に第 2 の入力端子を接続した比較器と、

前記比較器の第 2 の入力端子に第 1 の主電極、前記比較器の出力端子に制御電極、第 2 の主電極に基準抵抗を接続した第 3 の半導体素子とからなり、

前記第 1 の半導体素子の第 2 の主電極に接続される負荷中を流れる電流を、前記基準抵抗を流れる電流を検出することにより検出することを特徴とする電流センサ。

【請求項 3】 第 1、第 2 の主電極及び制御電極とを有する第 1 の半導体素子と、

前記第 1 の半導体素子の第 1 の主電極、制御電極にそれぞれ接続された第 1 の主電極、制御電極と、第 2 の主電極とを有する第 2 の半導体素子と、

前記第 1 の半導体素子の第 1 の主電極、制御電極にそれぞれ接続された第 1 の主電極、制御電極と、第 2 の主電極とを有する第 3 の半導体素子と、

前記第 1 の半導体素子の第 2 の主電極に第 1 の入力端子を接続し、前記第 3 の半導体素子の第 2 の主電極に第 2 の入力端子を接続した比較器と、

前記比較器の第 2 の入力端子に第 1 の主電極、前記比較器の出力端子に制御電極、第 2 の主電極に基準抵抗を接続した第 4 の半導体素子と前記第 1 及び第 2 の半導体素子のそれぞれの主電極間電圧を比較する比較手段と、

前記比較手段の出力に応じて、前記第 1 乃至第 3 の半導体素子のそれぞれの制御電極に制御電圧を供給する制御電圧供給手段とから少なくともなり、前記第 1 の半導体素子に流れる異常電流を検知して、異常電流発生時には前記第 1 の半導体素子をオン／オフ制御して電流振動を生成し、この電流振動により、前記第 1 の半導体素子の

導通状態を遮断し、且つ前記第 1 の半導体素子中を流れる電流値を前記基準抵抗を流れる電流を検出することにより検出することを特徴とするスイッチング回路。

【請求項 4】 入力端子に接続された第 1 の主電極、出力端子に接続された第 2 の主電極及び制御電極とを有する第 1 の半導体素子と、

前記第 1 の半導体素子の第 1 の主電極、制御電極にそれぞれ接続された第 1 の主電極、制御電極と、第 2 の主電極とを有する第 2 の半導体素子と、

前記第 1 の半導体素子の第 1 の主電極、制御電極にそれぞれ接続された第 1 の主電極、制御電極と、第 2 の主電極とを有する第 3 の半導体素子と、

前記第 1 の半導体素子の第 2 の主電極に第 1 の入力端子を接続し、前記第 3 の半導体素子の第 2 の主電極に第 2 の入力端子を接続した比較器と、

前記比較器の第 2 の入力端子に第 1 の主電極、前記比較器の出力端子に制御電極、第 2 の主電極に基準抵抗を接続した第 4 の半導体素子と前記第 1 及び第 2 の半導体素子のそれぞれの主電極間電圧を比較する比較手段と、

前記比較手段の出力に応じて、前記第 1 乃至第 3 の半導体素子のそれぞれの制御電極に制御電圧を供給する制御電圧供給手段とから少なくともなり、前記出力端子に接続される負荷に流れる異常電流を検知して、異常電流発生時には前記第 1 の半導体素子をオン／オフ制御して電流振動を生成し、この電流振動により、前記入力端子・出力端子間の導通状態を遮断し、且つ前記負荷中を流れる電流値を前記基準抵抗を流れる電流を検出することにより検出することを特徴とするスイッチングデバイス。

【請求項 5】 前記第 1 乃至第 3 の半導体素子、前記比較手段及び制御電圧供給手段が同一半導体基板上に集積化されていることを特徴とする請求項 4 記載のスイッチングデバイス。

## 【発明の詳細な説明】

## 【0001】

【発明の属する技術分野】 本発明は、カレントミラー回路、電流センサ及びこれを具備したスイッチング回路並びにスイッチングデバイスに係り、特に電源供給制御装置に好適な半導体スイッチングデバイスに関する。

## 【0002】

【従来の技術】 従来の電源供給制御装置に用いる半導体スイッチングデバイス（電力用半導体装置）としては、例えば図 9 に示すようなものがある。図 9 に示す電源供給制御装置は、自動車においてバッテリーからの電源を選択的に各負荷に供給して、負荷への電力供給をサーマル FETQF により制御する装置である。図 9 に示す電源供給制御装置は、出力電圧 VB を供給する電源 101 にシャント抵抗 RS の一端が接続され、その他端にサーマル FETQF のドレイン端子 D が接続されている。さらに、サーマル FETQF のソース端子 S には、負荷 102 が接続されている。ここで、負荷 102 としては、自

動車のヘッドライトやパワーウィンドウの駆動モータ等々該当する。図9に示す電源供給制御装置は、さらに、シャント抵抗RSを流れる電流を検出してハードウェア回路によりサーマルFETQFの駆動を制御するドライバ901と、ドライバ901でモニタした電流値に基づいてサーマルFETQFの駆動信号をオン/オフ制御するA/D変換器902およびマイコン(CPU)903とを備えている。

【0003】半導体スイッチングデバイスの主デバイスとして動作するサーマルFETQFは、図10に示すようにパワーデバイス(主FET)QM、抵抗RG、温度センサ121、ラッチ回路122および過熱遮断用FETQSを内蔵しており、サーマルFETQFの接合温度が規定以上の温度まで上昇した場合には、内蔵するゲート遮断回路によってサーマルFETQFを強制的にオフ制御する過熱遮断機能を備えている。つまり、パワーデバイス(主FET)QMが規定以上の温度まで上昇したことが温度センサ121によって検出された場合には、その旨の検出情報がラッチ回路122に保持され、ゲート遮断回路としての過熱遮断用FETQSがオン動作となることによって、パワーデバイスQMを強制的にオフ制御する。ここで、温度センサ121はポリシリコン等で構成した4個のダイオードが継続接続されてなり、温度センサ121はパワーデバイスQMの近傍に集積化されている。パワーデバイスQMの温度が上昇するにつれて温度センサ121の逆方向リーク電流が増大し、4個のダイオードの両端の電圧により、FETQ51のゲート電位が“L”レベルとされる電位まで下がると、FETQ51がオン状態からオフ状態に遷移する。これにより、FETQ54のゲート電位がサーマルFETQAのゲート制御端子Gの電位にプルアップされ、FETQ65がオフ状態からオン状態に遷移して、ラッチ回路122に“1”がラッチされることとなる。このとき、ラッチ回路122の出力が“H”レベルとなって過熱遮断用FETQSがオフ状態からオン状態に遷移するので、パワーデバイスQMの真のゲートTGの電位レベルが“L”レベルとなって、パワーデバイスQMがオン状態からオフ状態に遷移して、過熱遮断されることとなる。

【0004】図9において、ZD1はサーマルFETQFのゲート端子Gとソース端子S間を12Vに保って、パワーデバイスQMの真のゲートTGに過電圧が印加されようとした場合にこれをバイパスさせるツェナーダイオードである。ドライバ901は、電流モニタ回路としての差動増幅器911、913と、電流制御回路としての差動増幅器912と、チャージポンプ回路915と、マイコン903からのオン/オフ制御信号および電流制限回路からの過電流判定結果に基づき、内部抵抗RGを介してサーマルFETQFの真のゲートGを駆動する駆動回路914を備えて構成されている。シャント抵抗RSの電圧降下に基づき差動増幅器912を介して、電流

が判定値(上限)を超えたとして過電流が検出された場合には、駆動回路914によってサーマルFETQFをオフ動作とし、その後電流が低下して判定値(下限)を下回ったらサーマルFETQFをオン動作させる。一方、マイコン903は、電流モニタ回路(差動増幅器911、913)を介して電流を常時モニタしており、正常値を上回る異常電流が流れていれば、サーマルFETQFの駆動信号をオフすることによりサーマルFETQFをオフ動作させる。なお、マイコン903からオフ制御の駆動信号が出力される前に、サーマルFETQFの温度が規定値を超えていれば、過熱遮断機能によってサーマルFETQFはオフ動作となる。

【0005】一方、図11に示すような電源供給制御装置用半導体スイッチングデバイスも知られている。図11に示す半導体スイッチングデバイスは、出力電圧VBを供給する電源401にパワーMOSFETのドレイン電極端子とカレントミラー(Current mirror)素子のドレイン電極端子とが共に接続されている。パワーMOSFETのソース端子には、負荷401が接続されている。図9に示す半導体スイッチングデバイスは、さらに、パワーMOSFETのソース電極端子とカレントミラー素子のソース電極端子との間に抵抗R411を接続し、この抵抗R411の両端の電位差Eを比較器400で比較している。この比較器の出力を制御回路403に入力し、この制御回路403により駆動回路402を制御している。そして、駆動回路402はパワーMOSFET及びカレントミラー素子のゲート電極端子にゲート電圧を供給しパワーMOSFET及びカレントミラー素子をオン/オフ制御している。

【0006】

【発明が解決しようとする課題】しかしながら、上記従来の電源供給制御装置にあっては、電流検出を行うために電力の供給経路に直列接続されるシャント抵抗RSを必要とした構成であり、近年の負荷の大電流化により、シャント抵抗の熱損失が無視できないという問題点がある。

【0007】また、上述の過熱遮断機能や過電流制御回路は、負荷102や配線にほぼ完全な短絡状態が発生して大電流が流れる場合には機能するが、ある程度の短絡抵抗を持つ不完全短絡などのレアショートを発生して小さい短絡電流が流れた場合には機能せず、電流のモニタ回路を介してマイコン903により異常電流を検出してサーマルFETQFをオフ制御するしかなく、このような異常電流に対するマイコン制御による応答性が悪いという事情もあった。

【0008】また、シャント抵抗RSやA/D変換器902、マイコン903等が必要であるため、大きな実装スペースが必要であり、またこれらの比較的高価な物品により装置コストが高くなってしまいう問題点もある。

【0009】さらに、図11に示すようなカレントミラー回路は、パワーMOSFETのソース電極端子とカレントミラー素子のソース電極端子との間に接続する抵抗R411の値のバラツキ、分流比のバラツキ等の影響を受けやすく信頼性を欠くという問題があった。また、カレントミラー回路は本来、パワーMOSFETのソース電極端子とカレントミラー素子のソース電極端子との間を同一電位にして動作すべきであるが、図11に示すようなカレントミラー回路では原理的に同一電位にするのは困難で正確な測定が不可能であるという問題点を有していた。

【0010】本発明の目的は、上記従来の問題点や事情を解決することにより、理想的な条件で動作可能なカレントミラー回路を提供することにある。

【0011】本発明の他の目的は、正確な電流検出が可能な電流センサを提供することにある。

【0012】本発明の更に他の目的は、シャント抵抗を不要として、ある程度の短絡抵抗を持つ不完全短絡などのレアショットが発生した場合の異常電流に対しても高速応答を可能とし、集積化が容易な半導体スイッチング回路を提供することにある。

【0013】本発明の更に他の目的は、電流検出を行うために電力の供給経路に直接接続されるシャント抵抗を不要として装置の熱損失を抑え、ある程度の短絡抵抗を持つ不完全短絡などのレアショットが発生した場合の異常電流に対しても高速応答を可能とし、集積化が容易で安価な半導体スイッチングデバイスを提供することにある。

【0014】

【課題を解決するための手段】上記問題点を達成するために本発明は、第1、第2の主電極及び制御電極とを有する第1の半導体素子と、第1の半導体素子の第1の主電極、制御電極にそれぞれ接続された第1の主電極、制御電極と、第2の主電極とを有する第2の半導体素子と、第1の半導体素子の第2の主電極に第1の入力端子を接続し、第2の半導体素子の第2の主電極に第2の入力端子を接続した比較器と、比較器の第2の入力端子に第1の主電極、比較器の出力端子に制御電極、第2の主電極に基準抵抗を接続した第3の半導体素子とからなるカレントミラー回路であることを第1の特徴とする。ここで、第1乃至第3の半導体素子としては、FETや静電誘導型トランジスタ(SIT)あるいはバイポーラトランジスタ(BJT)が使用可能である。また、エミッタスイッチド・サイリスタ(EST)、MOS制御サイリスタ(MCT)等のMOS複合型デバイスやIGBT等の他の絶縁ゲート型パワーデバイスが使用可能である。これらの半導体素子はnチャネル型でもpチャネル型でもかまわない。また「第1主電極」とは、BJTやIGBTにおいてはエミッタ電極又はコレクタ電極のいずれか一方、MOSFETやMOS SIT等のIGFET

Tにおいてはソース電極又はドレイン電極のいずれか一方を意味する。「第2主電極」とは、BJTやIGBTにおいては上記第1主電極とはならないエミッタ電極又はコレクタ電極のいずれか一方、IGFETにおいては上記第1主電極とはならないソース電極又はドレイン電極のいずれか一方を意味する。すなわち、第1主電極が、エミッタ電極であれば、第2主電極はコレクタ電極であり、第1主電極がソース電極であれば、第2主電極はドレイン電極である。また、「制御電極」とはBJT、IGBT及びIGFETのゲート電極を意味することは勿論である。

【0015】本発明の第1の特徴に係るカレントミラー回路は、第1の半導体素子の第2の主電極の電位と、第2の半導体素子の第2の主電極の電位とを等しくして、この理想的なカレントミラー回路の動作が実現出来るので、極めて正確な電流測定等の応用に好適である。

【0016】本発明の第2の特徴は、第1、第2の主電極及び制御電極とを有する第1の半導体素子と、第1の半導体素子の第1の主電極、制御電極にそれぞれ接続された第1の主電極、制御電極と、第2の主電極とを有する第2の半導体素子と、第1及び第2の半導体素子のそれぞれの制御電極に電圧を供給する駆動回路と、第1の半導体素子の第2の主電極に第1の入力端子を接続し、第2の半導体素子の第2の主電極に第2の入力端子を接続した比較器と、比較器の第2の入力端子に第1の主電極、比較器の出力端子に制御電極、第2の主電極に基準抵抗を接続した第3の半導体素子とからなり、第1の半導体素子の第2の主電極に接続される負荷中を流れる電流を基準抵抗を流れる電流を検出することにより検出する電流センサであることである。ここで、第1乃至第3の半導体素子としては、FET、SIT、あるいはBJTが使用可能である。また、種々のMOS複合型デバイスやIGBT等の他の絶縁ゲート型パワーデバイスが使用可能である。これらの半導体素子はnチャネル型でもpチャネル型でもかまわない。また「第1主電極」とは、BJTやIGBTにおいてはエミッタ電極又はコレクタ電極のいずれか一方、MOSFETやMOS SIT等のIGFETにおいてはソース電極又はドレイン電極のいずれか一方を意味する。「第2主電極」とは、BJTやIGBTにおいては上記第1主電極とはならないエミッタ電極又はコレクタ電極のいずれか一方、IGFETにおいては上記第1主電極とはならないソース電極又はドレイン電極のいずれか一方を意味する。すなわち、第1主電極が、エミッタ電極であれば、第2主電極はコレクタ電極であり、第1主電極がソース電極であれば、第2主電極はドレイン電極である。また、「制御電極」とはBJT、IGBT及びIGFETのゲート電極を意味することは勿論である。

【0017】本発明の第2の特徴に係る電流センサは、いわゆる「カレントミラー回路」を構成しており、第1

10

20

30

40

50

の半導体素子の第2の主電極の電位と、第2の半導体素子の第2の主電極の電位とを等しくして、このカレントミラー回路を動作出来るので極めて正確な電流測定が可能となる。

【0018】本発明の第2の特徴において、第1の半導体素子は、例えば、複数個のユニットセル（単位セル）が並列接続されたマルチ・チャンネル構造のパワーデバイスを採用することが可能である。そして、第2の半導体素子の電流容量が第1の半導体素子の電流容量よりも小さくなるように、それぞれの半導体素子を構成する並列接続のユニットセル数を調整して、分流比を決めればよい。例えば、第2の半導体素子のユニットセル数1に対して、第1の半導体素子のユニットセル数を1000となるように構成することにより、第2の半導体素子と第1の半導体素子のチャンネル幅Wの比を1:1000として分流比を決めることが出来る。

【0019】本発明の第3の特徴は、第1、第2の主電極及び制御電極とを有する第1の半導体素子と、第1の半導体素子の第1の主電極、制御電極にそれぞれ接続された第1の主電極、制御電極と、第2の主電極とを有する第2の半導体素子と、第1の半導体素子の第1の主電極、制御電極にそれぞれ接続された第1の主電極、制御電極と、第2の主電極とを有する第3の半導体素子と、第1の半導体素子の第2の主電極に第1の入力端子を接続し、第3の半導体素子の第2の主電極に第2の入力端子を接続した比較器と、比較器の第2の入力端子に第1の主電極、比較器の出力端子に制御電極、第2の主電極に基準抵抗を接続した第4の半導体素子と第1及び第2の半導体素子のそれぞれの主電極間電圧を比較する比較手段と、比較手段の出力に応じて、第1乃至第3の半導体素子のそれぞれの制御電極に制御電圧を供給する制御電圧供給手段とから少なくともなり、第1の半導体素子に流れる異常電流を検知して、異常電流発生時には第1の半導体素子をオン／オフ制御して電流振動を生成し、この電流振動により、第1の半導体素子の導通状態を遮断し、且つ第1の半導体素子中を流れる電流値を基準抵抗中の電流を検出することにより検出するスイッチング回路であることである。

【0020】上記の第1の半導体素子として例えばパワーMOSFETを使用した場合、電力供給経路の一部を成すパワーMOSFETの端子間電圧（ドレインソース間電圧）は、オフ状態からオン状態へ遷移する際の（例えば、nチャンネル型FETの場合の立ち下がり）電圧特性において、電力供給経路および負荷の状態、即ち、経路が持つ配線インダクタンス並びに配線抵抗および短絡抵抗に基づく時定数に応じて変化する。例えば、短絡が発生していない通常動作では所定電圧以下に速やかに収れんするが、完全短絡が発生している場合には所定電圧以下にならない。また、ある程度の短絡抵抗を持つ不完全短絡が発生している場合には、所定電圧に収れ

んするものの収れんするまでに長い時間を要する。

【0021】本発明の第3の特徴は、このような半導体素子におけるオフ状態からオン状態へ遷移する際の過渡的な半導体素子の電圧特性を利用している。つまり、第1の半導体素子の端子間電圧と第1の半導体素子の端子間電圧（基準電圧）との差を検出することによって、電力供給経路の一部を成す第1の半導体素子の端子間電圧（即ち、電力供給経路の電流）が正常状態から逸脱している程度を判定すると同時に、いわゆるカレントミラー回路を構成する、第1の半導体素子の第2の主電極の電位と、第3の半導体素子の第2の主電極の電位とを等しくし、このカレントミラー回路を動作することにより、極めて正確な電流測定を可能とするものである。

【0022】したがって、電流検出を行うために電力の供給経路に直列接続される従来のようなシャント抵抗を不要とすることができ、また、完全短絡による過電流のみならず、ある程度の短絡抵抗を持つ不完全短絡などのレアショートが発生した場合の異常電流をも簡単に検出することが可能である。

【0023】本発明の第4の特徴は、入力端子に接続された第1の主電極、出力端子に接続された第2の主電極及び制御電極とを有する第1の半導体素子と、第1の半導体素子の第1の主電極、制御電極にそれぞれ接続された第1の主電極、制御電極と、第2の主電極とを有する第2の半導体素子と、第1の半導体素子の第1の主電極、制御電極にそれぞれ接続された第1の主電極、制御電極と、第2の主電極とを有する第3の半導体素子と、第1の半導体素子の第2の主電極に第1の入力端子を接続し、第3の半導体素子の第2の主電極に第2の入力端子を接続した比較器と、比較器の第2の入力端子に第1の主電極、比較器の出力端子に制御電極、第2の主電極に基準抵抗を接続した第4の半導体素子と第1及び第2の半導体素子のそれぞれの主電極間電圧を比較する比較手段と、比較手段の出力に応じて、第1乃至第3の半導体素子のそれぞれの制御電極に制御電圧を供給する制御電圧供給手段とから少なくともなり、出力端子に接続される負荷に流れる異常電流を検知して、異常電流発生時には第1の半導体素子をオン／オフ制御して電流振動を生成し、この電流振動により、入力端子・出力端子間の導通状態を遮断し、且つ負荷中を流れる電流値を基準抵抗中の電流を検出することにより検出するスイッチングデバイスであることである。

【0024】本発明の第4の特徴において、第1乃至第3の半導体素子、比較手段及び制御電圧供給手段を同一半導体基板上に集積化することが好ましい。

【0025】半導体スイッチングデバイスを構成する第1の半導体素子として例えばパワーMOSFETを使用した場合、電力供給経路の一部を成すパワーMOSFETの端子間電圧（ドレインソース間電圧）は、オフ状態からオン状態へ遷移する際の（例えば、nチャンネル型

FETの場合の立ち下がり) 電圧特性において、電力供給経路および負荷の状態、即ち、経路を持つ配線インダクタンス並びに配線抵抗および短絡抵抗に基づく時定数に応じて変化する。例えば、短絡が発生していない通常動作では所定電圧以下に速やかに収れんするが、完全短絡が発生している場合には所定電圧以下にならない。また、ある程度の短絡抵抗を持つ不完全短絡が発生している場合には、所定電圧に収れんするものの収れんするまでに長い時間を要する。

【0026】本発明の第4の特徴は、このような半導体素子におけるオフ状態からオン状態に移る際の過渡的な半導体素子の電圧特性を利用している。つまり、第1の半導体素子の端子間電圧と第1の半導体素子の端子間電圧(基準電圧)との差を検出することによって、電力供給経路の一部を成す第1の半導体素子の端子間電圧(即ち、電力供給経路の電流)が正常状態から逸脱している程度を判定すると同時に、いわゆるカレントミラー回路を構成する、第1の半導体素子の第2の主電極の電位と、第3の半導体素子の第2の主電極の電位とを等しくし、このカレントミラー回路を動作することにより、極めて正確な電流測定を可能とするものである。

【0027】したがって、電流検出を行うために電力の供給経路に直列接続される従来のようなシャント抵抗を不要として装置の熱損失を抑えることができ、また、完全短絡による過電流のみならず、ある程度の短絡抵抗を持つ不完全短絡などのレアショートが発生した場合の異常電流をも簡単に検出可能である。さらに、シャント抵抗を用いずに過電流の検出が可能であり、特に半導体スイッチングデバイスのオン/オフ制御をハードウェア回路で構成した場合はマイコンも不要であるため、専有面積を縮小できるとともに、製造単価を削減可能である。

【0028】また特に、第2及び第3の半導体素子の電流容量が第1の半導体素子の電流容量よりも小さくなるように、それぞれの半導体素子を構成するユニットセル数の比を決定すればよい。このようなユニットセル数の選択を行って、パワーICの平面パターンレイアウトを設定することにより、第2及び第3の半導体素子の回路構成を小型化でき、さらに半導体チップの面積を縮小できるとともに、装置コストを大幅に削減できる。

【0029】

【発明の実施の形態】次に、図面を参照して、本発明の第1の実施の形態として電流センサを、第2の実施の形態としてスイッチングデバイスを説明する。以下の図面の記載において、同一又は類似の部分には同一又は類似の符号を付している。

【0030】(第1の実施の形態：電流センサ) 本発明の第1の実施の形態に係る電流センサは図1に示すように、第1、第2の主電極及び制御電極とを有する第1の半導体素子Q93と、第1の半導体素子Q93の第1の主電極、制御電極にそれぞれ接続された第1の主電極、

制御電極と、第2の主電極とを有する第2の半導体素子Q94と、第1の半導体素子Q93の第2の主電極に第1の入力端子を接続し、第2の半導体素子Q94の第2の主電極に第2の入力端子を接続した比較器CMP401と、比較器CMP401の第2の入力端子に第1の主電極、比較器CMP401の出力端子に制御電極、第2の主電極に基準抵抗Rr2を接続した第3の半導体素子Q95とからなり、第1の半導体素子Q93中を流れる電流を、基準抵抗Rr2を流れる電流を検出することにより検出する電流センサである。

【0031】図1においては、第1及び第2の半導体素子Q93、94としてnチャネルMOSFETを用いている。また、第3の半導体素子Q95としてpnp型BJTを用いている。この第3の半導体素子Q95のベース・エミッタ間には抵抗R412が接続され、第3の半導体素子Q95のベースと比較器CMP401の出力端子との間に抵抗R412が接続されている。このようにして、第3の半導体素子(pnp型BJT)Q95は、不飽和領域で動作するようにバイアスされている。

【0032】第1の半導体素子Q93としてのnチャネルMOSFETは、例えば、複数個のユニットセル(単位セル)が並列接続されたマルチ・チャネル構造のパワーデバイスを採用することが可能である。そして、第2の半導体素子Q94としてのnチャネルMOSFETも同様なマルチ・チャネル構造の半導体デバイスを採用できる。第2の半導体素子Q94の電流容量が第1の半導体素子Q93の電流容量よりも小さくなるように、それぞれの半導体素子を構成する並列接続のユニットセル数を調整して、分流比を決めればよい。例えば、第2の半導体素子Q94のユニットセル数1に対して、第1の半導体素子Q93のユニットセル数を1000となるように構成することにより、第2の半導体素子Q94と第1の半導体素子Q93のチャネル幅Wの比を1:1000として分流比を決めることが出来る。

【0033】本発明の第1の実施の形態に係る電流センサは、いわゆる「カレントミラー回路」を構成している。そして、比較器CMP401は、その“+”および“-”の両入力端子に供給される電位がほぼ一致したときに出力は有効(“H”レベル)となり、一致しないときに無効(“L”レベル)となるような動作をする。例えば、ノードN1の電位がノードN2の電位より高くなれば、比較器CMP401は“L”レベルを出力する。比較器CMP401の出力が“L”レベルとなると、pnp型BJT(第3の半導体素子)Q95のベース電位が下がるので、pnp型BJT(第3の半導体素子)Q95はより電流値を大きくする傾向になる。すると基準抵抗Rr2の両端の電位降下が増大するので、ノードN2の電位が高くなる。即ち、ノードN1とノードN2の電位とが等しくなるまで、比較器CMP401は“L”レベルを出力する。このようにして、第1の半導体素子



Q93の第2の主電極のノードN1における電位と、第2の半導体素子Q94の第2の主電極のノードN2における電位とを等しくして、このカレントミラー回路を理想的なカレントミラー回路として動作させることが可能となる。従って、極めて正確な電流測定が可能となる。

【0034】なお、図1においては、第1及び第2の半導体素子としてMOSFETを例示したが、この他に、MOSSITや種々のMOS複合型デバイス、さらにはIGBT等が使用可能である。図1においては、nチャネル型を示したが、pチャネル型でもかまわない。同様に、第3の半導体素子として不飽和領域で動作するようにバイアスされたpnp型BJTを例示したが、バイアス関係を逆にすれば、npn型BJTでも良い。また、この他に、FET、SITや種々のMOS複合型デバイス、さらにはIGBT等が第3の半導体素子として使用可能である。

【0035】(第2の実施の形態：スイッチングデバイス) 本発明の第2の実施の形態に係る電流振動型遮断機能付きスイッチング・デバイスは、図2に示すように、主デバイス(パワーデバイス)となる第1の半導体素子QAとこの主デバイス(第1の半導体素子)QAの異常電流を検知して、異常電流発生時には主デバイスQAをオン/オフ制御して電流振動を生成し、この電流振動により、主デバイスQAを遮断する制御回路とを同一基板上に集積化した半導体集積回路である。基板としてセラミック、ガラスエポキシ等の絶縁性基板や絶縁金属基板等を用いたハイブリッドICの形態でも良いが、より好ましくは、同一半導体基板(同一チップ)上にモノリシックに集積化したパワーICとすればよい。

【0036】通常、このパワーICは、出力電圧VBを供給する電源101と負荷102との間に接続されて動作する。図2においては、パワーICの主デバイス(パワーデバイス)として、感熱遮断機能を有した半導体スイッチング素子QAを用いている。感熱遮断機能を有した半導体スイッチング素子QAとしては、例えば、図10に示したサーマルFETQFを用いればよい(以下の本発明の第2の実施の形態においては、サーマルFETを用いる場合で説明する)。なお、後述の説明から理解できるように、オン/オフ回数積算回路(回数制御手段)を具備した場合は、感熱遮断機能は必須ではない。半導体スイッチング素子(第1の半導体素子)QAは、第1、第2の主電極及び制御電極とを有する。この第1の半導体素子としては、例えば、DMOS構造、VMO S構造、或いはUMOS構造のパワーMOSFETやこれらと類似な構造のMOSSITが使用可能である。また、ESTやMCT等のMOS複合型デバイスやIGBT等の他の絶縁ゲート型パワーデバイスが使用可能である。更に、常にゲートを逆バイアスで使うのであれば、接合型FET、接合型SITやSIサイリスタ等も使用可能である。このパワーICの主デバイス(パワーデバ

イス)としての半導体スイッチング素子QAはnチャネル型でもpチャネル型でもかまわない。即ち、本発明の第2の実施の形態に係る電流振動型遮断機能付きスイッチング・デバイスは、nチャネル型及びpチャネル型の両方が存在する。

【0037】図2においては、同一半導体基板上にモノリシックに集積化されたnチャネル型電流振動型遮断機能付きスイッチング・デバイスについて説明する。図2に示すように、本発明の第2の実施の形態に係る電流振動型遮断機能付きスイッチング・デバイスの制御回路は主デバイス(第1の半導体素子)QAと並列接続された第1の基準デバイス(第2の半導体素子)としてのFETQBと、第2の基準デバイス(第3の半導体素子)としてのFETQCと、主デバイスQAの主電極間電圧と基準デバイスQBの主電極間電圧とを比較する比較手段(CMP1)と、この比較手段(CMP1)の出力に応じて、主デバイスQA及び基準デバイスQBの制御電極に制御電圧を供給する制御電圧供給手段111とを少なくとも具備している。ここで、第1乃至第3の半導体素子QA、QB、QCは、それぞれ第1及び第2主電極からなる主電極対をそれぞれ一組ずつ有する。例えば、主デバイス(第1の半導体素子)QAの第1及び第2主電極は、それぞれ主デバイスを構成するパワーデバイスの第1及び第2主電極領域に接続されている。「第1主電極領域」とは、IGBTにおいてエミッタ領域又はコレクタ領域のいずれか一方、パワーMOSFETやパワーMOSSIT等のIGFET(パワーIGFET)においてはソース領域又はドレイン領域のいずれか一方を意味する。「第2主電極領域」とは、IGBTにおいては上記第1主電極領域とはならないエミッタ領域又はコレクタ領域のいずれか一方、パワーIGFETにおいては上記第1主電極領域とはならないソース領域又はドレイン領域のいずれか一方を意味する。すなわち、第1主電極領域が、エミッタ領域であれば、第2主電極領域はコレクタ領域であり、第1主電極領域がソース領域であれば、第2主電極領域はドレイン領域である。また、「制御電極」とはIGBT及びパワーIGFETのゲート電極を意味することは勿論である。主デバイスQAと同様な電流電圧特性を有する第2及び第3の半導体素子QB、QCについても、同様に「主電極」及び「制御電極」が定義される。

【0038】主デバイス(第1の半導体素子)としてのサーマルFETQAは、たとえば、図10に示すようなパワーデバイス(主FET)QM、このパワーデバイスQMの真のゲートに接続した抵抗RG、温度センサ121、温度センサ121にゲートを接続したFETQ51、このFETQ51の出力側に接続されたラッチ回路122およびラッチ回路122の出力側にゲートを接続した過熱遮断用FETQSを具備した回路から構成されている。過熱遮断用FETQSの出力側にパワーデバ

10

20

30

40

50

スQMの真のゲートが接続されている。このサーマルFETQAの主FETQMは、例えば、複数のユニットセル（単位セル）が並列接続されたマルチ・チャネル構造のパワーデバイスを採用すればよい。そして、このサーマルFETQAの主FET（パワーデバイス）QMに並列接続されるように、第2及び第3の半導体素子QB、QCが、サーマルFETQAに隣接する位置に配置されている。この第2及び第3の半導体素子QB、QCには、温度センサ、ラッチ回路あるいは過熱遮断用FETQS等の基準デバイスを過熱遮断するための回路は必須ではない。第2及び第3の半導体素子QB、QCが、主デバイス（主FET）QMと同一プロセスで、隣接位置に配置されているので、温度ドリフトやロット間の不均一性の影響による互いの電気的特性のバラツキを除去（削減）できる。第2及び第3の半導体素子QB、QCの電流容量が主FETの電流容量よりも小さくなるように、第2及び第3の半導体素子QB、QCを構成する並列接続のユニットセル数を調整している。例えば、第2及び第3の半導体素子QB、QCのユニットセル数1に対して、主デバイス（主FET）QMのユニットセル数を1000となるように構成することにより、第2及び第3の半導体素子QB、QCと第1の半導体素子QMのチャンネル幅Wの比を1:1000としている。また、温度センサ121は、第2及び第3の半導体素子QB、QC及び第1の半導体素子QMの上部に形成された層間絶縁膜の上部に堆積されたポリシリコン薄膜等で構成した複数のダイオードが直列接続により構成され、温度センサ121をパワーデバイスQMのチャンネル領域の近傍の位置に集積化している。パワーデバイスQMの温度が上昇するにつれて温度センサ121の逆方向リーク電流が増大し、複数の直列接続されたダイオードの両端の電圧降下により、FETQ51のゲート電位が“L”レベルとされる電位まで下がると、FETQ51がオン状態からオフ状態に移移する。これにより、FETQ54のゲート電位がサーマルFETQAのゲート制御端子Gの電位にブルアップされ、FETQ65がオフ状態からオン状態に移移して、ラッチ回路122に“1”がラッチされることとなる。このとき、ラッチ回路122の出力が“H”レベルとなって過熱遮断用FETQSがオフ状態からオン状態に移移するので、パワーデバイスQMの真のゲートTGの電位レベルが“L”レベルとなって、パワーデバイスQMがオン状態からオフ状態に移移して、過熱遮断されることとなる。

【0039】本発明の第2の実施の形態に係る電流振動型遮断機能付きスイッチング・デバイスは、より具体的には、図2に示すように、第2及び第3の半導体素子QB、QC、抵抗R1、R2、R5、R331、ツェナーダイオードZD1、ダイオードD1、比較手段としての比較器CMP1、制御電圧供給手段としての駆動回路111、第1の半導体素子QAの第2の主電極（ソース電

極）に第1の入力端子を接続し、第3の半導体素子QCの第2の主電極（ソース電極）に第2の入力端子を接続した比較器CMP401とを、主デバイス（第1の半導体素子）QAと共に同一半導体基板（半導体チップ）110上にモノリシックに搭載している。図2において、ツェナーダイオードZD1はサーマルFETQAのゲート端子Gとソース端子S間を12Vに保って、パワーデバイスQMの真のゲートTGに過電圧が印加されようとした場合にこれをバイパスさせる機能を有する。更に半導体チップ110の外部には、比較器CMP401の第2の入力端子に第1の主電極、比較器の出力端子に制御電極、第2の主電極に基準抵抗Rr2を接続した第4の半導体素子Q95及び抵抗R10及びスイッチSW1を備えている。この第4の半導体素子Q95のベース・エミッタ間には抵抗R412が接続され、第4の半導体素子Q95のベースと比較器CMP401の出力端子との間に抵抗R412が接続されている。このようにして、第4の半導体素子（pnp型BJT）Q95は、不飽和領域で動作するようにバイアスされている。

【0040】そして、この本発明の第2の実施の形態に係る電流振動型遮断機能付きスイッチング・デバイスは、ユーザ等がスイッチSW1をオンさせることにより機能する。

【0041】制御電圧供給手段としての駆動回路111には、コレクタ側が電位VPに接続されたソーストランジスタQ5と、エミッタ側が接地電位（GND）に接続されたシンクトランジスタQ6とを直列接続して備え、スイッチSW1のオン/オフ切換えによる切換え信号に基づき、ソーストランジスタQ5およびシンクトランジスタQ6をオン・オフ制御して、主デバイス（サーマルFET）QA及び基準デバイスQBの制御電極にこれらを駆動制御する信号を出力する。図2に示すBJTの代わりにMOSFETで駆動回路111を構成しても良い。例えば、CMOSで、駆動回路111を構成することも可能である。MOSFETで駆動回路111を構成すれば、簡単なMOSFETの製造プロセスで本発明の第2の実施の形態に係るパワーIC（電流振動型遮断機能付きスイッチング・デバイス）を製造することが可能となる。また、BJTで駆動回路111を構成すれば、BIMOS製造プロセスで本発明の第2の実施の形態に係るパワーICを製造することができる。電源101の出力電圧VBは、例えば12Vで、チャージポンプの出力電圧VPは、例えばVB+10Vである。

【0042】主デバイス（第1の半導体素子）QAの第1主電極（ドレイン電極）と第2及び第3の半導体素子QB、QCの第1主電極（ドレイン電極）とは互いに接続され共通電位に維持されている。さらに、第2の半導体素子QBの第2主電極（ソース電極）には外部抵抗として第1の基準抵抗Rr1が接続され、第3の半導体素子QCの第2主電極（ソース電極）には外部抵抗として

第2の基準抵抗 $R_{r2}$ が接続されている。第1の基準抵抗 $R_{r1}$ 及び第2の基準抵抗 $R_{r2}$ のそれぞれの抵抗値は、第2及び第3の半導体素子QB、QCと主デバイス（第1の半導体素子）QMのチャネル幅Wの比に応じて選定すればよい。例えば、上述したように、第2及び第3の半導体素子QB、QCと主デバイス（主FET）QMのチャネル幅Wの比を1:1000とした場合は、負荷102の抵抗値の1/1000の値となるように設定しておけばよい。この第1の基準抵抗 $R_{r1}$ 及び第2の基準抵抗 $R_{r2}$ の設定により、サマルFETQAに正常動作の負荷電流が流れたときと同じドレインソース間電圧 $V_{ds}$ を第2及び第3の半導体素子QB、QCに発生させることができる。

【0043】主デバイス（第1の半導体素子）QAの第1主電極（ドレイン電極）と第2主電極（ソース電極）間には抵抗 $R_1$ と抵抗 $R_2$ との直列回路が接続されている。図2に示す比較器CMP1の“+”入力端子には、サマルFETQAの主電極間電圧（ドレインドソース間電圧） $V_{ds}$ を抵抗 $R_1$ と抵抗 $R_2$ とで分圧した電圧が抵抗 $R_5$ を介して供給されている。また、比較器CMP1の“-”入力端子には、FET（第2の半導体素子）QBのソース電圧 $V_S$ が供給されている。つまり、これら“+”および“-”の両入力端子に供給される電位がほぼ一致したときに出力は有効（“H”レベル）となり、一致しないときに無効（“L”レベル）となる。なお、後述のように、比較器CMP1は一定のヒステリシスを持っている。

【0044】図7は、本発明の第2の実施の形態に係る電流振動型遮断機能付きスイッチング・デバイスの主デバイス（第1の半導体素子）QAに着目した、概念的な等価回路図である。主デバイス（第1の半導体素子）としてのサマルFETQAの等価回路を、等価電流源 $g_m \cdot v_i$ 、ドレイン抵抗 $r_d$ 、ゲート・ソース間容量 $C_{gs}$ 、ゲート・ドレイン間容量 $C_{gd}$ 及びドレイン・ソース間容量 $C_{ss}$ を用いて簡略化して示している。このサマルFETQAの等価回路を使用した場合、電源101から負荷102への電力供給経路は、図7に示すような回路として表される。負荷102には電力供給経路の配線インダクタンス $L_0$ と配線抵抗 $R_0$ を含む。

【0045】図6には、このような電力供給経路の一部\*40

$$VT_{gs} - 1.6 = \Delta V_{ds} \text{ GAP} \times C_{gs} /$$

即ち、 $\Delta V_{ds} \text{ GAP}$ は $(VT_{gs} - 1.6 \text{ V})$ に比例する。なお、ドレイン電流 $I_D$ がゼロの時は真のゲートを充電する回路およびミラー容量だけでドレインソース間電圧 $V_{ds}$ の曲線が決まるが、ドレイン電流 $I_D$ が流れると、回路全体のインダクタンス $L_c$ および回路全体の抵抗 $R_c$ の影響を受けることになる。完全短絡（デッドショート）のようにドレイン電流 $I_D$ が大きくなると、ドレイン電流 $I_D$ の立ち上り勾配は回路全体のインダクタンス $L_c$ および回路全体の抵抗 $R_c$ でほぼ決まるので、ドレイ

\*を成すサマルFETQAのドレインソース間電圧 $V_{ds}$ のオフ状態からオン状態へ遷移する際の立ち下がり電圧特性を、負荷102が短絡の場合、基準負荷（通常動作）の場合、負荷102が抵抗1K $\Omega$ の場合について示す過渡応答カーブである。立ち下がり特性は、本発明の第2の実施の形態に係る電流振動型遮断機能付きスイッチング・デバイスを含めた電力供給経路全体のインピーダンス、例えば、経路が持つ配線インダクタンス、配線抵抗に応じた過渡応答をする。

10 【0046】先ず、図6の負荷102の抵抗が1K $\Omega$ のときのドレインソース間電圧 $V_{ds}$ の変化について、次のように考察できる。つまり、この測定で用いたサマルFETQA（日立製の「HAF2001」）の特性により、ドレイン電流 $I_D = 12 \text{ mA}$ において、真のゲートソース間電圧 $VT_{gs}$ は、ほぼしきい値電圧1.6Vに維持される。そして、駆動回路111によるサマルFETQAの真のゲートGへの充電は継続されるから、このまま行くと真のゲートソース間電圧 $VT_{gs}$ は上昇して行ってしまうが、ドレインソース間電圧 $V_{ds}$ が低下して、真のゲートドレイン間の容量値 $C_{gd}$ を増大させるので、真のゲートソース間電圧 $VT_{gs}$ に達する電荷を吸収してしまうことになる。即ち、ドレインソース間電圧 $V_{ds}$ は真のゲートソース間電圧 $VT_{gs}$ に達した電荷が電位上昇を生じさせないだけの容量を発生させ、真のゲートソース間電圧 $VT_{gs}$ は約1.6Vに維持される。つまり、サマルFETQAがオン状態に遷移した後の各経過時点で、駆動回路111によってゲートGに送られる充電電荷を吸収し、真のゲートTGの電圧 $VT_{gs}$ を一定に保つようなドレインソース間電圧 $V_{ds}$ となる。

【0047】即ち、ドレインソース間電圧 $V_{ds}$ の図3の負荷抵抗=1K $\Omega$ の時の曲線からの差を $\Delta V_{ds} \text{ GAP}$ として、 $Q_{gs} = \Delta V_{ds} \text{ GAP} \times C_{gs}$ 分の電荷を真のゲートソース間電圧 $VT_{gs}$ から引き去れば、真のゲートソース間電圧 $VT_{gs}$ は1.6Vになることを意味する。換言すれば、真のゲートソース間電圧 $VT_{gs}$ は1.6Vからこの電荷 $Q_{gs}$ 分だけ電位が上昇していることを意味する。このことを式で示せば次式となる。

【0048】

【数1】

$$(C_{gs} + C_{gd}) \cdots \cdots (1)$$

ン電流 $I_D$ の立ち上り勾配は一定値に収れんし、したがって真のゲートソース間電圧 $VT_{gs}$ の曲線も収れんすることとなる。

【0049】本発明の第2の実施の形態に係る電流振動型遮断機能付きスイッチング・デバイスの第2の半導体素子（FET）QBと主デバイス（主FET）QMのチャネル幅Wの比を1:1000としてカレントミラー回路を構成した場合は、（主デバイスのドレイン電流 $I_{ds}$ ）=1000 $\times$ （第2の半導体素子のドレイン電流

10 B)となる。したがって、サーマルFETQAのドレイン電流として $I_{DA} = 5A$ 、FETQBのドレイン電流として $I_{DB} = 5mA$ がそれぞれ流れているときは、サーマルFETQAおよびFETQBのそれぞれのドレインソース間電圧 $V_{DS}$ と真のゲートソース間電圧 $V_{GS}$ は一致する。即ち、 $V_{DSA} = V_{DSB}$ 、 $V_{GSA} = V_{GSB}$ となる。ここで、 $V_{DSA}$ 、 $V_{DSB}$ はそれぞれサーマルFETQA、FETQBのドレインソース間電圧であり、 $V_{GSA}$ 、 $V_{GSB}$ はそれぞれサーマルFETQA、FETQBの真のゲートソース間電圧である。

【0050】したがって、FETQBが完全にオン状態に遷移しているときは、第1の基準抵抗 $R_{r1}$ の両端にほぼ電源電圧 $V_B$ が印加されるから、サーマルFETQAに接続する5Aの負荷に等価なFETQBの負荷として、第1の基準抵抗 $R_{r1}$ の抵抗値は、 $R_{r1} = 12V / 5mA = 1.4k\Omega$ として決定される。

【0051】次に、3極間特性領域における本発明の第2の実施の形態に係る電流振動型遮断機能付きスイッチング・デバイスの動作について説明する。サーマルFET(第1の半導体素子)QAがオン状態に遷移すると、ドレイン電流 $I_{DA}$ は回路抵抗で決まる最終負荷電流値を目指して立ち上がって行く。また、サーマルFETQAの真のゲートソース間電圧 $V_{GSA}$ は、ドレイン電流 $I_{DA}$ で決まる値を取り、ドレインソース間電圧 $V_{DSA}$ の低下によるコンデンサ容量 $C_{GD}$ のミラー効果でプレーキをかけられながら、これも立ち上がって行く。さらに、FET(第2の半導体素子)QBの真のゲートソース間電圧 $V_{GSB}$ は、ドレイン電流 $I_{DB} = 5mA$ (ドレイン電流 $I_{DA} = 5A$ に相当)までは、真のゲートソース間電圧 $V_{GSA} = V_{GSB}$ で増加して行くが、ピンチオフ点に達した以降はドレイン電流 $I_{DB} = 5mA$ 一定になるため(5極間特性領域内で一定になる)、真のゲートソース間電圧 $V_{GSB}$ も一定になり、日立製の「HAF2001」の場合は、約2.7V一定になる。

【0052】また、サーマルFET(第1の半導体素子)QAの真のゲートソース間電圧 $V_{GSA}$ は、ドレイン電流 $I_{DA}$ の増加に応じて大きくなって行くので、真のゲートソース間電圧は $V_{GSA} < V_{GSB}$ となる。また、 $V_{DSA} = V_{GSA} + V_{DSB}$ 、 $V_{DSB} = V_{GSB} + V_{DSB}$ の関係があるから、 $V_{DSA} - V_{DSB} = V_{GSA} - V_{GSB}$ となる。ここで、真のゲートソース間電圧の差 $V_{GSA} - V_{GSB}$ は、ドレイン電流 $I_{DA} - 5A$ を表わすから、ドレインソース間電圧の差 $V_{DSA} - V_{DSB}$ を検出することにより、ドレイン電流 $I_{DA} - 5A$ を得ることができる。

【0053】FET(第2の半導体素子)QBのドレインソース間電圧 $V_{DSB}$ は比較器CMP1に直接入力され、サーマルFETQAのドレインソース間電圧 $V_{DSA}$ は $R_1$ と抵抗 $R_2$ で分圧した値が比較器CMP1に入力される。即ち、可変抵抗RVについて考慮に入れないものとすれば、

$$V_+ = V_{DSA} \times R_1 / (R_1 + R_2) \quad \dots\dots (2)$$

が比較器CMP1の“+”入力端子に入力されることになる。サーマルFETQAがオン状態に遷移した直後は、(2)式により比較器CMP1の“+”入力端子の電位 $V_+$ が決定されるので、FETQBのドレインソース間電圧 $V_{DSB} > V_+$ である。しかし、サーマルFETQAのドレイン電流 $I_{DA}$ が増加するに連れて(2)式により与えられる $V_+$ は増加し、ついにはFETQBのドレインソース間電圧 $V_{DSB}$ より大きくなり、この時、比較器CMP1の出力は“H”レベルから“L”レベルに変化して、サーマルFETQAをオフ状態に遷移させる。

【0054】なお、比較器CMP1では、ダイオードD1と抵抗 $R_5$ でヒステリシスが形成されている。サーマルFETQAがオフ状態に遷移したとき、駆動回路11のシンクトランジスタQ6によりゲート電位は接地され、ダイオードD1のカソード側電位は、 $V_{DSA} - 0.7V$ (ツェナーダイオードZD1の順方向電圧)になる。ダイオードD1が導通する。この結果、抵抗 $R_1 \rightarrow$ 抵抗 $R_5 \rightarrow$ ダイオードD1の経路で電流が流れ、比較器CMP1の“+”入力端子の電位 $V_+$ は、駆動回路11がオン制御しているときより低下する。したがって、オフ状態に遷移した直後より小さい、特定のドレインソース間電圧の差 $V_{DSA} - V_{DSB}$ までサーマルFETQAはオフ状態を維持するが、その後、更に入力端子の電位 $V_+$ が低下することにより、比較器CMP1の出力は“L”レベルから“H”レベルに変化する。従って、一定の時間経過後、サーマルFETQAは再びオン状態に遷移させられることとなる。なお、ヒステリシス特性の付け方にはいろいろな方法があるが、これはその一例である。

【0055】サーマルFETQAがオフ状態に遷移するときのドレインソース間電圧 $V_{DSB}$ をしきい値 $V_{DSBth}$ とすると、次式が成立する。

$$V_{DSBth} - V_{DSA} = R_2 / R_1 \times V_{DSB} \quad \dots\dots (3)$$

3極管特性領域における過電流判定値は(3)式で決まることになる。

【0057】次に、5極間特性領域における動作について説明する。配線が正常な状態で、サーマルFETQAがオン状態に遷移すると、サーマルFETQAは連続的にオン状態を維持することとなる。このため、真のゲートソース間電圧 $V_{GSA}$ 、 $V_{GSB}$ がピンチオフ電圧に達した後は、サーマルFETQA、FETQB、FETQCとも5極間特性領域で動作する。日立製の「HAF2001」の場合、オン抵抗はドレインソース間電圧 $V_{DS} = 10V$ のとき、 $R_{DS(on)} = 30m\Omega$ であるので、次式となる。

【0058】

50 【数2】

19

$$V_{DSB} = 5 \text{ A} \times 30 \text{ [m}\Omega\text{]} = 0.15 \text{ [V]} \quad \dots\dots (4)$$

$$V_{DSA} = I_{DQA} \times 30 \text{ [m}\Omega\text{]} \quad \dots\dots (5)$$

$$V_{DSA} - V_{DSB} = 30 \text{ [m}\Omega\text{]} \times (I_{DQA} - 5 \text{ [A]}) \quad \dots\dots (6)$$

また、配線の短絡等でドレイン電流  $I_{DQA}$  が増加すると式(6)の値が大きくなり、過電流判定値を超えるとサーマルFET(第1の半導体素子)QAをオフ状態に遷移させる。この場合、ピンチオフ点を経由して、上記の3極間特性領域での動作状態を経て、オフ状態へ遷移する。そして、図2に示したダイオードD1と抵抗R5とによるヒステリシスにより、一定時間経過後に、比較器CMP1の“+”入力端子の電位  $V_+$  が低下するので、比較器CMP1の出力は“L”レベルから“H”レベルに変化して、サーマルFETQAを再びオン状態に遷移させることとなる。こうして、サーマルFETQAはオン状態およびオフ状態への遷移を繰り返して、最終的に過熱遮断に至る。なお、過熱遮断に至る前に、配線が正常に復帰すれば(間欠的短絡故障の例)、サーマルFETQAは連続的にオン状態を維持するようになる。

【0059】図8(a)は本発明の第2の実施の形態に係る基礎となる電流振動型遮断機能付きスイッチング・デバイスドレイン電流  $I_D$  を、図8(b)は、対応するドレインソース間電圧  $V_{DS}$  をそれぞれ示す。図中、①は完全短絡(デッドショート)の場合、②は通常動作の場合、③は不完全短絡の場合である。完全短絡(デッドショート)が発生している場合(図中①)には、サーマルFET(第1の半導体素子)QAがオフ状態からオン状態に遷移したときに、ドレイン電流  $I_D$  が急激に流れるが、サーマルFETQAのオン状態を継続して、サーマルFETQAを過熱させ、内蔵した加熱遮断用FETQSのオン状態への遷移によってサーマルFETQAを過熱遮断させる。また、ある程度の短絡抵抗を持つ不完全短絡が発生している場合(図中③)には、上述のようにサーマルFETQAのオン/オフ制御を繰り返して行い、ドレイン電流  $I_D$  を大きく変動させ、サーマルFETQAの周期的な発熱作用によって、サーマルFETQAの過熱遮断を速めている。

【0060】本発明の第2の実施の形態に係る電流振動型遮断機能付きスイッチング・デバイスは、図2に示すように、第1の半導体素子QA中を流れる電流を、第2の基準抵抗  $R_{r2}$  を流れる電流を検出することにより検出する電流センサ部を具備している。図2においては、第4の半導体素子Q95として不飽和領域で動作するようにバイアスされたpnp型BJTである。この電流センサ部は、いわゆる「カレントミラー回路」を構成している。そして、比較器CMP401は、その“+”および“-”の両入力端子に供給される電位がほぼ一致したときに出力は有効(“H”レベル)となり、一致しないときに無効(“L”レベル)となるような動作をする。例えば、ノードN1の電位がノードN2の電位より高くなれば、比較器CMP401は“L”レベルを出力す

20

る。比較器CMP401の出力が“L”レベルとなると、pnp型BJT(第4の半導体素子)Q95のベース電位が下がるので、pnp型BJT(第4の半導体素子)Q95はより電流値を大きくする傾向になる。すると第2の基準抵抗  $R_{r2}$  の両端の電位降下が増大するので、ノードN2の電位が高くなる。即ち、ノードN1とノードN2の電位とが等しくなるまで、比較器CMP401は“L”レベルを出力する。このようにして、第1の半導体素子QAの第2の主電極のノードN1における電位と、第3の半導体素子QCの第2の主電極のノードN2における電位とを等しくして、理想的なカレントミラー回路として動作させることが可能となる。従って、極めて正確な電流測定が可能となる。

【0061】(その他の実施の形態) 上記のように、本発明は第1及び第2の実施の形態によって記載したが、この開示の一部をなす論述及び図面はこの発明を限定するものであると理解すべきではない。この開示から当業者には様々な代替実施の形態、実施例及び運用技術が明らかとなろう。

【0062】例えば第2の実施の形態において、図3に示すようなオン/オフ回数積算回路304を図2及び図10のノードN51、N52、N53に接続して、不完全短絡の場合の第1の半導体素子としてのサーマルFETQAの遮断を速めることが出来る。即ち、サーマルFET(第1の半導体素子)QAのオン/オフ制御回数が所定回数に達したときに、オン/オフ回数積算回路(回数制御手段)304によりサーマルFETQAをオフ制御させる動作が可能となる。

【0063】図3に示すように、このオン/オフ回数積算回路304は、図10に示す図2のノードN51に接続された抵抗  $R_{131}$ 、 $R_{132}$ 、図2のノードN52に接続されたコンデンサ  $C_{131}$ 、図10のノードN51に接続されたダイオード  $D_{132}$ 、FET  $Q_{131}$ 、逆流阻止用ダイオード  $D_{131}$  および抵抗  $R_{133}$  を備えている。

【0064】過電流制御に入り、サーマルFET(第1の半導体素子)QAのゲート電位が周期的に“H”レベルになる度にコンデンサ  $C_{131}$  は抵抗  $R_{131}$  および逆流阻止用ダイオード  $D_{131}$  を介して充電される。FET  $Q_{131}$  のゲート電位は最初はしきい値以下なのでオフ状態にあるが、コンデンサ  $C_{131}$  の充電に伴ってゲート電位が上昇するとFET  $Q_{131}$  はオン状態に遷移する。FET  $Q_{131}$  がオン状態に遷移すると、図10に示した温度センサ121のアノード側のノードN51が引き下げられるので、高温状態と同じ条件となって過熱遮断用FETQSがオン状態に遷移して、サーマルFETQAを遮断する。

10

20

30

40

50

【0065】また、図2のノードN53、71に図4に示す過熱遮断促進回路106を接続して、サーマルFETQAの遮断を速めるようにしてもよい。即ち、過不完全短絡の場合には、サーマルFETQAのオン/オフ制御を繰り返し行って、サーマルFETQAの周期的な発熱作用によって過熱遮断を機能させた場合には、過熱遮断までの時間が相対的に長くなることが考えられる。このような場合は過熱遮断促進回路（過熱遮断促進手段）106によってサーマルFETQAの遮断を速めるようにすればよい。

【0066】図4に示すように過熱遮断促進回路106は、FETQ221、ダイオードD221、抵抗R221～R223およびコンデンサC221を備えて構成されている。過電流制御に入り、サーマルFETQAのゲート電位が周期的に“H”レベルになる度にコンデンサC221は抵抗R221および逆流阻止用ダイオードD221を介して充電される。FETQ221のゲート電位は最初はしきい値以下なのでオフ状態にあるが、コンデンサC221の充電に伴ってゲート電位が上昇するとFETQ221はオン状態に遷移する。抵抗R221を介してノードN62に位置する端子TG（サーマルFETQAの真のゲート）から接地電位（GND）に電流が流れ、端子TG（ノードN62）に蓄積される電荷量が減少する。このため、同じドレイン電流 $I_D$ に対してもドレインソース間電圧 $V_{DS}$ が大きくなり、サーマルFETQAの電力消費が増大して過熱遮断が早まることとなる。なお、抵抗R221が小さいほど過熱遮断は早まる。また、抵抗R223はコンデンサC221の放電抵抗であり、 $R222 \ll R223$ となるように設定するのが望ましい。

【0067】図5に示す突入電流マスク回路303をノードN52、53、71に接続しても良い。この突入電流マスク回路303は、ノードN71に接続されたFETQ311、Q312、ノードN53に接続されたダイオードD311、ノードN52に接続された抵抗R313、コンデンサC311及び抵抗R311、R312を備えて構成されている。この突入電流マスク回路303において、サーマルFETQAがオン状態に遷移すると、ゲートソース間電圧 $V_{GS}$ がダイオードD311および抵抗R312を介してFETQ312のゲートに供給され、また同じくゲートソース間電圧 $V_{GS}$ がダイオードD311および抵抗R311を介してFETQ311のゲートに供給される。FETQ312のゲートはコンデンサC311を介してサーマルFETQAのソースSA（ノードN52）に接続されており、サーマルFETQAがオン状態に遷移した直後はコンデンサC311が未充電であるため、FETQ312のゲート電位が十分に上がらずFETQ312はオン状態に遷移できない。また、FETQ311はFETQ312がオフ状態にある間はオン状態にあり、コンパレータCMP1の

＋端子（ノードN71）に供給される分圧点をサーマルFETQAのソースSA（ノードN52）に結合させる。そのため、コンパレータCMP1の出力は“H”レベルに保たれて、大きな突入電流が流れてもサーマルFETQAはオフ状態に遷移しないことになる。

【0068】時間の経過により、コンデンサC311は抵抗R312を介して充電されていき、ついにはFETQ312がオン状態に遷移する。これに伴ってFETQ311がオフ状態に遷移した上記マスク状態が終了して、過電流検出制御が機能することとなる。なお抵抗R313はサーマルFETQAがオフ状態に遷移した後、コンデンサC311をリセットするための放電抵抗である。 $R312 \ll R313$ となるように設定してマスク時間に影響しないようにするのが望ましい。また、マスク時間は $R312 \times C311$ の時定数で決定されるので、1チップ化する場合には外付けのコンデンサC311の容量値を任意に変更することにより、マスク時間の調整が可能となる。

【0069】本発明の第2の実施の形態に係る電流振動型遮断機能付きスイッチング・デバイスの負荷102をオンさせると、安定状態の数倍から数十倍の突入電流が流れる。その突入電流が流れる期間は負荷102の種類や容量（大きさ）によって異なり、だいたい3msecから20msecである。この突入電流が流れる期間に、第2の実施の形態で説明したような過電流制御が行われると、負荷102が定常状態に至るまでに時間を要してしまい、ライトの点灯が遅れるなどの負荷自身の応答が悪くなる場合がある。図5に示す突入電流マスク回路303を図2の構成に付加することによってこのような問題を解消することが出来る。

【0070】このように、本発明はここでは記載していない様々な実施の形態等を含むことは勿論である。したがって、本発明の技術的範囲は上記の説明から妥当な特許請求の範囲に係る発明特定事項によってのみ定められるものである。

#### 【0071】

【発明の効果】以上説明したように、本発明のカレントミラー回路によれば、第1の半導体素子の第2の主電極の電位と、第2の半導体素子の第2の主電極の電位とを等しくして、理想的な回路動作が実現出来る。

【0072】また、本発明の電流センサによれば、第1の半導体素子の第2の主電極の電位と、第2の半導体素子の第2の主電極の電位とを等しくして、理想的なカレントミラー回路としての動作が実現出来るので極めて正確な電流測定が可能となる。

【0073】また、本発明のスイッチング回路によれば、従来のシャント抵抗を不要として、完全短絡による過電流のみならず、ある程度の短絡抵抗を持つ不完全短絡などのレアショットが発生した場合の異常電流をも簡単、且つ正確に検出できる。

10

20

30

40

50

【0074】更に、本発明のスイッチングデバイスによれば、従来のシャント抵抗を不要として装置の熱損失を抑え、また、完全短絡による過電流のみならず、ある程度の短絡抵抗を持つ不完全短絡などのレアショートが発生した場合の異常電流をも簡単、且つ正確に検出できる。特に主デバイスとなる半導体スイッチの制御回路部を同一半導体基板上にモノリシックに集積化した場合は、マイコンも不要であるため、チップ面積を縮小できるとともに、装置コストを大幅に削減することができる。

【図面の簡単な説明】

【図１】本発明の第１の実施形態に係る電流センサの回路構成図である。

【図２】本発明の第２の実施の形態に係る電流振動型遮断機能付きスイッチング・デバイスの回路構成図である。

【図３】本発明の他の実施の形態に係る電流振動型遮断機能付きスイッチング・デバイスに用いるオン／オフ回数積算回路の回路構成図である。

【図４】本発明の更に他の実施の形態に係る電流振動型遮断機能付きスイッチング・デバイスに用いる過熱遮断促進回路の回路構成図である。

【図５】本発明の更に他の実施の形態に係る電流振動型遮断機能付きスイッチング・デバイスに用いる突入電流マスク回路の回路構成図である。

【図 6】本発明の第 2 の実施の形態に係る電流振動型遮断機能付きスイッチング・デバイスが利用する原理を説明する説明図であり、オフ状態からオン状態への遷移時のドレインソース間電圧の立ち下がり特性の説明図である。

【図 7】本発明の第 2 の実施の形態に係る電流振動型遮断機能付きスイッチング・デバイスの主デバイス（第 1 の半導体素子）に着目した概念的等価回路図である。

【図8】図8（a）は、本発明の第2の実施の形態に係る電流振動型遮断機能付きスイッチング・デバイスにおける、主デバイス（第1の半導体素子）のドレイン電流の過渡応答特性を、図8（b）は、対応するドレイン・\*

\* ソース間電圧の過渡応答特性を示す説明図である。

【図9】従来の半導体スイッチの回路構成図である。

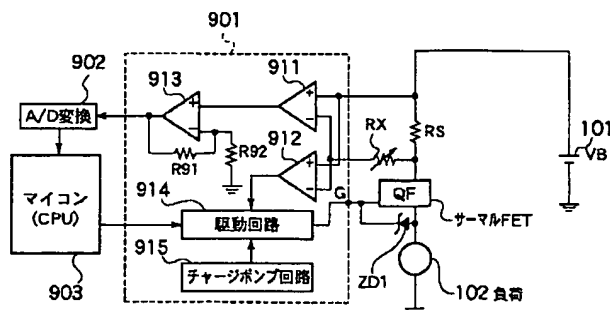
【図10】サーマルFETの回路構成図である。

【図 11】従来のカレントミラー方式の電源供給制御装置の回路構成図である。

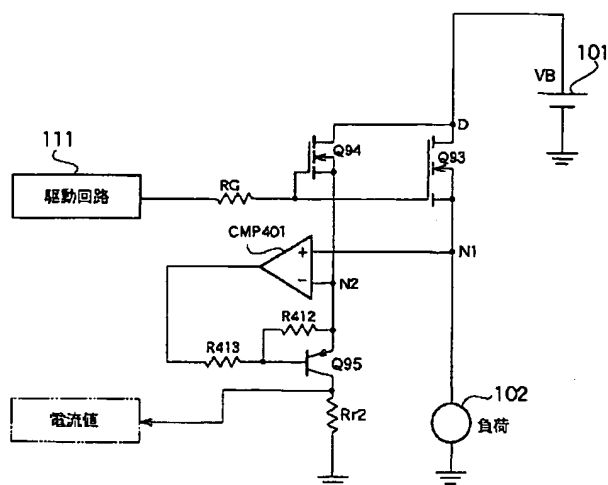
【符号の説明】

- 101 電源  
102 負荷  
106 過熱遮断促進回路（過熱遮断促進手段）  
10 110 半導体チップ  
111 駆動回路（制御手段）  
301 過電流検出部  
302 電流Enable部  
303 突入電流マスク回路（禁止手段）  
304 オン/オフ回数積算回路（回数制御手段9  
305 チャージポンプ部  
306 遮断ラッチ回路  
C131, C221, C311 コンデンサ  
CMP1, CMP401 比較器  
20 D1, D131, D132, D221, D311 ダイ  
オード  
QA, QF サーマルFET（第1の半導体素子）  
QB FET（第2の半導体スイッチ）  
QC FET（第3の半導体スイッチ）  
Q93 第1の半導体素子  
Q94 第2の半導体素子  
Q95 pnp型BJT  
Q131, Q221, Q311, Q312 MOSFE  
T  
30 RG 内部抵抗  
R1, R2, R5, R131~R133, R221~R  
223, R311~R313, R331, R412, R  
413 抵抗  
Rr1 第1の基準抵抗  
Rr2 基準抵抗（第2の基準抵抗）  
T1, T2, T3, T11~T18 入出力端子  
ZD1 ツェナーダイオード

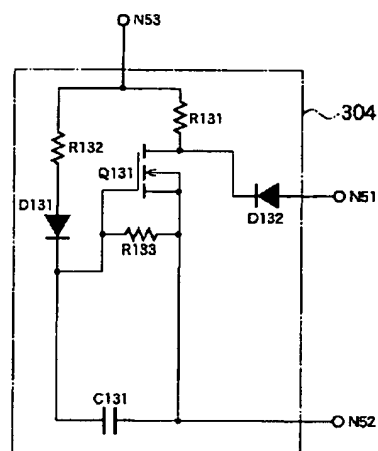
【图9】



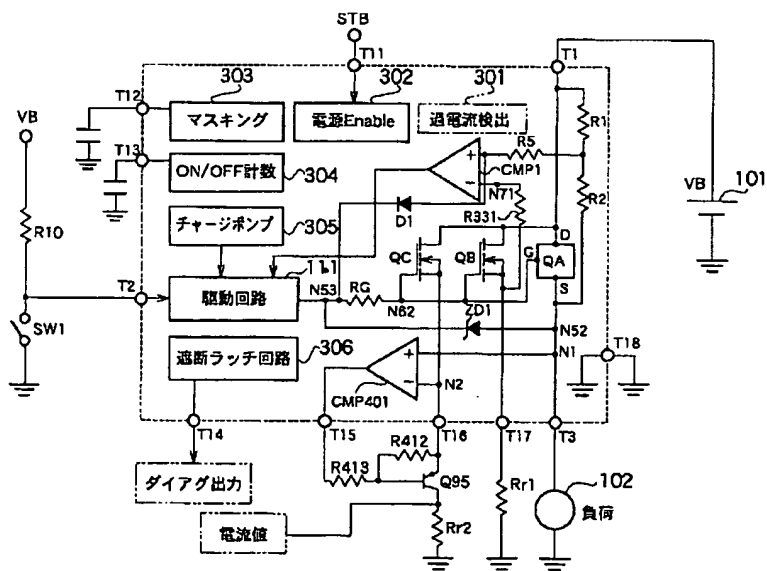
【図1】



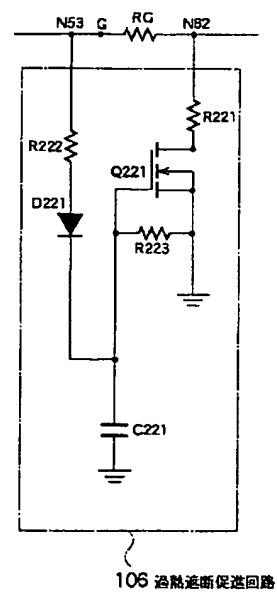
【図3】



【図2】

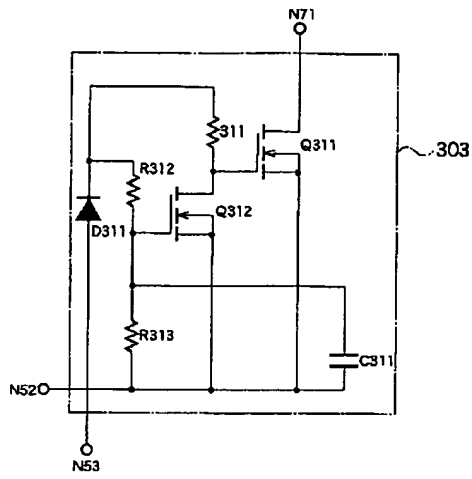


【図4】

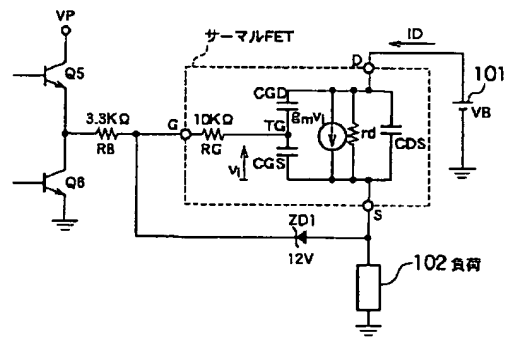




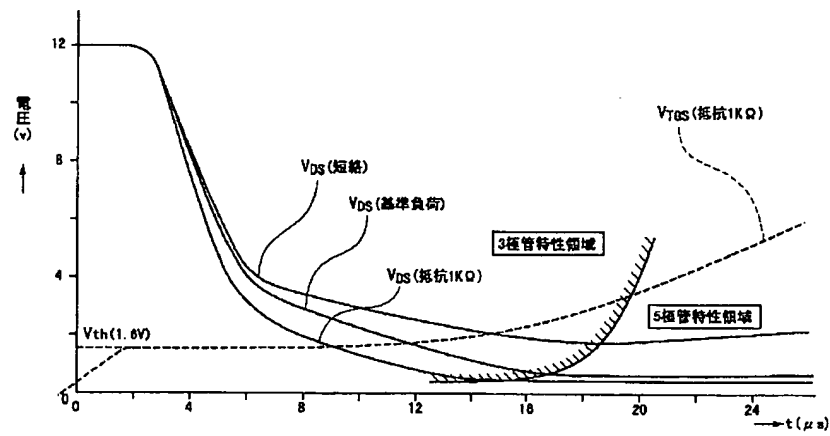
【図5】



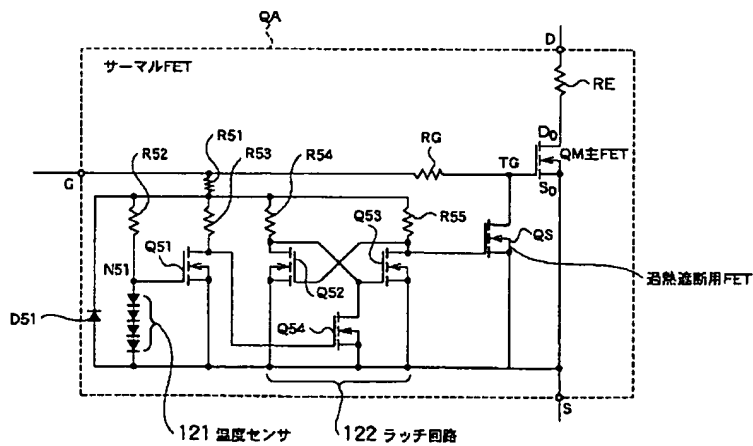
【図7】



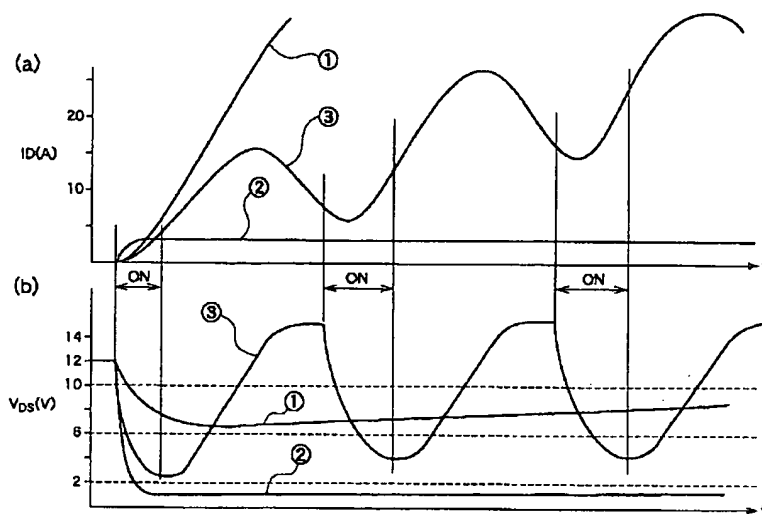
【図6】



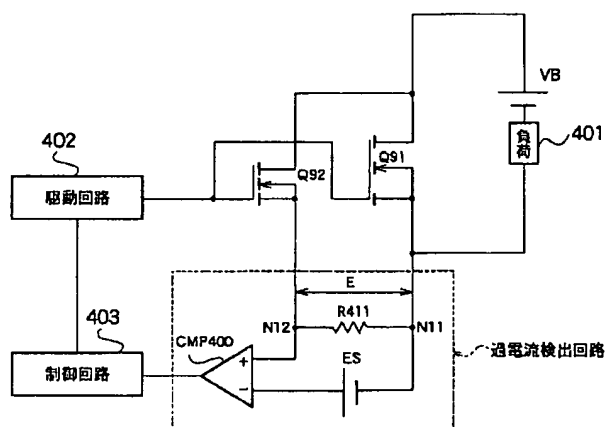
【図10】



【図8】



【図11】



フロントページの続き

F ターム(参考) 5H420 BB12 CC02 DD02 EA14 EA39  
EB37 FF04 FF14 FF21 LL05  
LL07  
5J055 AX02 AX11 AX12 AX37 AX44  
AX47 BX16 CX28 DX08 DX09  
DX13 DX14 DX22 DX53 DX54  
DX73 DX83 EX04 EX11 EX23  
EY01 EY05 EY10 EY12 EY13  
EY17 EY21 EZ04 EZ10 EZ31  
EZ55 EZ57 EZ61 FX04 FX06  
FX32 GX01 GX06